

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-143601

(P2001-143601A)

(43)公開日 平成13年5月25日 (2001.5.25)

(51)Int.Cl.⁷

H 01 J 1/304
9/02
29/04
31/12

識別記号

F I

H 01 J 9/02
29/04
31/12
1/30

テ-マコ-ト⁸ (参考)

B 5 C 0 3 1
5 C 0 3 6
C
F

審査請求 未請求 請求項の数14 O L (全 10 頁)

(21)出願番号 特願平11-320030

(22)出願日 平成11年11月10日 (1999.11.10)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 大木 博

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 浦山 雅夫

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74)代理人 100091096

弁理士 平木 祐輔

Fターム(参考) 50031 DD17

50036 EE19 EF01 EF06 EF09 EG02

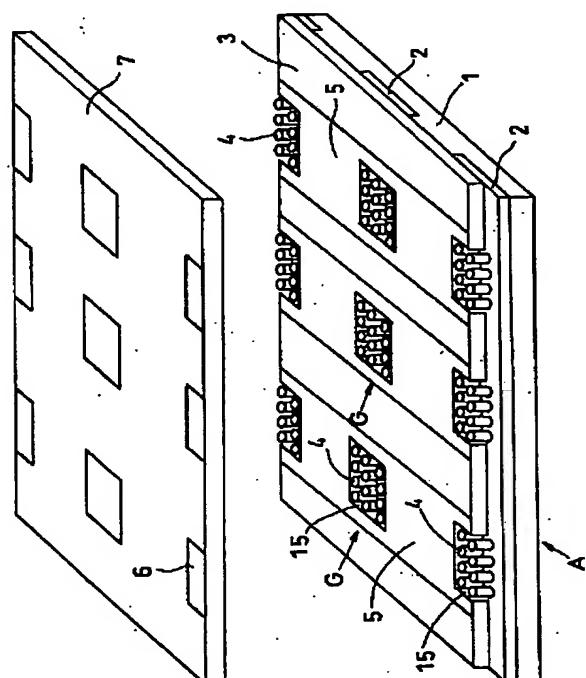
EC12 EH26

(54)【発明の名称】 冷陰極及びその製造方法

(57)【要約】

【課題】 XYアドレス可能な、高耐熱性の基板を有する、信頼性の高い冷陰極及びその製造方法を提供する。

【解決手段】 セラミック材料からなる支持基板1とゲート絶縁層3の間にカソード電極2が埋め込まれ、前記ゲート絶縁層3上にゲート電極5が配設され、前記ゲート電極5と前記ゲート絶縁層3に前記カソード電極2上に開口したホール15が形成され、該ホール15内部に前記カソード電極2に形成された電子源4が充填されている。



【特許請求の範囲】

【請求項1】 セラミック材料からなる支持基板とゲート絶縁層の間にカソード電極が埋め込まれ、前記ゲート絶縁層上にゲート電極が配設され、前記ゲート電極と前記ゲート絶縁層に対して前記カソード電極上に開口したホールが形成され、該ホール内部に前記カソード電極に形成された電子源が充填されていることを特徴とする冷陰極。

【請求項2】 前記ゲート電極と前記ゲート絶縁層との間にゲート絶縁補助層を介在させていることを特徴とする請求項1記載の冷陰極。

【請求項3】 前記ゲート絶縁層が2層以上の多層セラミック材料で構成され、最上層のゲート絶縁層のホール径が下層のゲート絶縁層のホール径よりも大きく形成されていることを特徴とする請求項1又は2記載の冷陰極。

【請求項4】 前記カソード電極の前記ホールの底部の部分が凹形状であることを特徴とする請求項1乃至3いずれかに記載の冷陰極。

【請求項5】 前記電子源と前記カソード電極との間にバインディング材料が設けられていることを特徴とする請求項1又は4いずれかに記載の冷陰極。

【請求項6】 前記ホールが、アルミニウムの陽極酸化皮膜中の微細孔であり、前記電子源が該微細孔内に形成されていることを特徴とする請求項1、3又は4いずれかに記載の冷陰極。

【請求項7】 前記電子源が、前記陽極酸化皮膜から突出して前記ゲート電極近傍まで達すると共に、前記陽極酸化皮膜中の微細孔で保持されることを特徴とする請求項1、2、5又は6いずれかに記載の冷陰極。

【請求項8】 前記電子源が、カーボンナノチューブ、グラファイト、ダイアモンド、ダイヤモンドライクカーボン、アモルファスカーボンのいずれか、又はこれらの混合物で構成される炭素材料であることを特徴とする請求項1、5乃至7いずれかに記載の冷陰極。

【請求項9】 前記セラミック材料が、アルミナ又はアルミナとシリカの混合物で構成されていることを特徴とする請求項1又は3いずれかに記載の冷陰極。

【請求項10】 前記カソード電極が、ニッケル、コバルト、鉄等の金属触媒を被覆又は混在して構成されていることを特徴とする請求項1、4又は5いずれかに記載の冷陰極。

【請求項11】 支持基板上にカソード電極を挟んでゲート絶縁層を貼り合わせる工程と、前記ゲート絶縁層上にゲート電極を形成する工程と、ゲート絶縁層及びゲート電極に前記カソード電極上に貫通するホールを形成する工程と、前記ホールの領域の前記カソード電極に電子源を形成する工程と、を含むことを特徴とする冷陰極の製造方法。

【請求項12】 前記ゲート電極及び前記ホールの領域

10

のカソード電極にアルミニウム層を形成する工程と、前記アルミニウム層を陽極酸化して微細孔を有する陽極皮膜を形成する工程と、前記陽極酸化皮膜のバリア層を除去する工程と、前記細孔に選択的に前記電子源を形成する工程と、を含むことを特徴とする請求項11記載の冷陰極の製造方法。

【請求項13】 前記カソード電極上に貫通するホールを形成する工程では、

前記ホールの領域のカソード電極に凹形状を形成する工程と、前記凹形状の部分に選択的に電子源を形成する工程と、を含むことを特徴とする請求項11又は12いずれかに記載の冷陰極の製造方法。

【請求項14】 支持基板上にカソード電極を挟んでゲート絶縁層を貼り合わせる工程では、前記カソード電極上にバインディング層を形成し、該バインディング層をメルトして前記電子源の底部を覆う工程を含むことを特徴とする請求項11乃至13いずれかに記載の冷陰極の製造方法。

【発明の詳細な説明】

20

【0001】

【産業上の利用分野】 本発明は、セラミック基板上に形成された炭素材料からなる電子源を有する冷陰極及びその製造方法に関する。

【0002】

【従来の技術】 陰極線管のように大きな熱エネルギーを与えて熱電子放出を起こすのではなく、強電界を印加することにより冷電子を放出する冷陰極の研究・開発が、デバイス面、材料面の両面において盛んに行われている。材料面においては、近年、円筒状に巻いたグラファイト層が入れ子状になったカーボンナノチューブ（以下、適宜CNTと略記する）が発見され（S.Iijima,Nature,354,56,1991）、様々な電子デバイスとしての応用が期待されている。

【0003】 例えば、このようなCNTを用いたデバイスとしては、図9に示すような構造のものが知られている（特開平10-12124号公報参照）。この公報に記載のものは、ガラス基板100上にアルミニウム層101を介してアルミナの陽極酸化皮膜102を有し、この陽極酸化皮膜102の細孔103中にCVD法でCNTを選択成長させることで、3極管構成の電界放出電子源104を形成している。

【0004】

【発明が解決しようとする課題】 しかしながら、図9に示すような3極管構成の電界放出電子源は、XYマトリクスで電子源104をアドレスすることができないという問題があった。また、CVD法でCNTを選択成長する時の成長温度がアルミニウムの融点よりも高く、CNTにダメージを与えてしまうという問題があった。

【0005】 さらに、CNTからなる電子源104は陽極酸化皮膜の細孔103中に一つしか形成されない

40

50

め、例えば、ダストの存在でゲート電極と電子源の間で容易に短絡してしまうという問題もあった。本発明は、このような問題に鑑みてなされたものであって、高耐熱性のセラミック基板を用いた信頼性の高い、かつXYアドレス可能な冷陰極及びその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明の冷陰極は、セラミック材料からなる支持基板とゲート絶縁層の間にカソード電極が埋め込まれ、前記ゲート絶縁層上にゲート電極が配設され、前記ゲート電極と前記ゲート絶縁層に対して前記カソード電極上に開口したホールが形成され、該ホール内部に前記カソード電極に形成された電子源が充填されていることを特徴とする。

【0007】前記ゲート電極と前記ゲート絶縁層との間にゲート絶縁補助層を介在させていることで、セラミック材料と金属材料との確実な積層構造が得られる。また、前記ゲート絶縁層か2層以上の多層セラミック材料で構成され、最上層のゲート絶縁層のホール径が下層のゲート絶縁層のホール径よりも大きく形成されていることで、電子源とゲート電極の短絡を防止することができる。

【0008】また、前記カソード電極の前記ホールの底部の部分が凹形状であることで、電子源とゲート電極の短絡を防止できる。また、前記電子源と前記カソード電極との間にバインディング材料が設けられていることで、電子源が剥離して発生するダストを防止し、寿命を向上する。

【0009】また、前記ホールが、アルミニウムの陽極酸化皮膜中の微細孔であり、前記電子源が該微細孔内に形成されていることで、微細加工工程が不要になると共に、微細孔内に電子源が集積し、輝度ムラを低減できる。

【0010】また、前記電子源が、前記陽極酸化皮膜から突出して前記ゲート電極近傍まで達すると共に、前記陽極酸化皮膜中の微細孔で保持されていることで、単純な冷陰極構造が実現でき、また簡便な製造方法となり、製造歩留り、デバイス寿命が向上しね高密度に集積した冷陰極を提供できた。

【0011】また、前記電子源が、カーボンナノチューブ、グラファイト、ダイアモンド、ダイヤモンドライカーボン、アモルファスカーボンのいずれか、又はこれらの混合物で構成される炭素材料であることで、動作真密度の提言、耐イオン衝撃性に優れる冷陰極を提供できた。

【0012】また、前記セラミック材料がアルミナまたはアルミナシリカの混合物で構成されていることで、電子源の成長温度でデバイス構造にダメージを与えない冷陰極を提供できた。また、前記カソード電極が、ニッケル、コバルト、鉄等の金属触媒を被覆又は混在して構

成されていることで、電子源を選択的に成長可能な冷陰極を提供できた。

【0013】本発明の冷陰極の製造方法は、支持基板上にカソード電極を挟んでゲート絶縁層を貼り合わせる工程と、前記ゲート絶縁層上にゲート電極を形成する工程と、ゲート絶縁層及びゲート電極に前記カソード電極上に貫通するホールを形成する工程と、前記ホールの領域の前記カソード電極に電子源を形成する工程と、を含むことを特徴とする。

10 【0014】また、前記ゲート電極及び前記ホールの領域のカソード電極にアルミニウム層を形成する工程と、前記アルミニウム層を陽極酸化して細孔を有する陽極皮膜を形成する工程と、前記陽極酸化皮膜のバリア層を除去する工程と、前記細孔に選択的に前記電子源を形成する工程と、を含むことで、アルミニウムの陽極皮膜を用いることにより、ホール直径が0.1 μm以下の微細孔が集積した画素の形成が可能となる。

【0015】また、前記ホールの領域のカソード電極に凹形状を形成する工程と、前記凹形状の部分に選択的に電子源を形成する工程と、を含むことで、凹形状のカソード電極を形成することにより、電子源とゲート電極の短絡防止が可能となる。また、前記カソード電極上にバインディング層を形成し、該バインディング層をメルトして前記電子源の底部を覆う工程を含むことで、電子源の付着を強力にことができる。

【0016】

【発明の実施の形態】以下、添付図面を参照しながら本発明の好適な実施の形態について詳細に説明する。

第1の実施の形態

30 図1は、本発明の冷陰極の第1の実施の形態の冷陰極の斜視図であり、図2は図1の分解斜視図である。本実施の形態の冷陰極は、フィールドエミッションディスプレイ（以下、FEDという）に適用した例である。このようなFEDの基本構成は、冷陰極ランプ、液晶デバイスのバックライト、及び蛍光表示管と同様である。すなわち、冷陰極ランプは電子放出領域（画素）をアドレスする必要がなく、ゲート電極及びカソード電極が単純な平板でよい。また、液晶デバイスのバックライト及びFEDはゲート電極及びカソード電極をラインに分割してアドレスする必要があると共に、FEDはゲート電極とカソード電極を直交するように配設する。更に、蛍光表示管はセグメントに対応したゲート電極及びカソード電極を配設する。本発明の冷陰極は、これらすべての電子デバイスに利用可能である。

40 【0017】図1及び図2において、本実施の形態の冷陰極Aは、セラミック材料からなりバックプレートの背面側より、フェイスプレートを指示する支持基板1と、スキャン側ドライバより順次走査電圧を印加するためのカソード電極2と、カソード電極2とゲート電極5を電気的に絶縁すると共に、ホール15を形成するためのゲ

ート絶縁層3と、電界放出するための電子源4と、データ側ドライバより水平ライン分の画像データを印加するためのゲート電極5とを順次積層した積層構造を有する。

【0018】前記支持基板1とゲート絶縁層3の間に、ライン状のカソード電極(配線)2が埋め込まれている。FEDの駆動を制御するコントローラは、スキャン側ドライバに対して垂直方向にスキャンが行われるように制御し、その結果、スキャン側ドライバはカソード電極2のラインそれぞれに対して順次走査電圧を印加する。

【0019】一方、ゲート電極5は、ゲート絶縁層3上にゲート絶縁層3と交差するようにライン状に配設され、コントローラはデータ側にドライバから出力される水平ライン分の画像データをゲート電極5のラインに印加する。電子放出領域、すなわち、画素Gはカソード電極2ラインとゲート電極5ラインが交差する位置に設けられ、XYマトリックス上でアドレスされる。画素内には、一つ又は二つ以上のホール15が形成され、ホール15はゲート電極5の開口部である第1ホール15aと、ゲート絶縁層3を貫通してカソード電極2に達する第2ホールとから構成されている(図2参照)。また、ホール15の内部には、カソード電極2と電気的に接続する電子源(アレイ)4が多数集積され、XYアドレスされた電子源4からはトンネリングで電子を放出する。

【0020】また、必要に応じて、放出電子を集束するための集束電極を本実施の形態のFEDに具備することができる。すなわち、ゲート電極5上に層間絶縁層を積層し、その層間絶縁層上に集束電極を積層する。この時、層間絶縁層及び集束電極は、デバイス設計に従い、所望のホール又はスリットを形成する。

【0021】このような積層構造で構成した本実施の形態のFEDの基本動作を実験的に確認した。この実験では、簡便にDC電源を用い、図1に示すようなフェイスプレートの透明電極(アノード電極)7に被着した蛍光体6の発光強度を観測した。対角が5インチ、画素数が320×240(QVGR)ドットのFEDを試作し、基本動作を確認した。カソード電極2を接地し、アノード電極7に5KV印加し、ゲート電極5に20~30V程度印加した。カソード電極2とゲート電極5でXYアドレスされた画素の電子源4は電界放出し、アノード電極7上の蛍光体を発光させた。また、ゲート電極5すべてに電圧を印加(全白の状態)したところ、エミッション電流は5~10mA/cm²程度得られ、発光輝度は10000cd/m²程度であった。

【0022】次に、上記第1の実施の形態の冷陰極の製造工程を図3により説明する。まず、図3(a)に示すように、支持基板1と、カソード電極(配線)2と、ゲート絶縁層3とを例えば静電接着法により貼り合わせる。ゲート絶縁層3には、予め角形の第2ホール15b

が形成されている。支持基板1及びゲート絶縁層3の材質は、500~800°C程度の耐熱性を有するセラミック材料が使用される。500~800°C程度の耐熱性を有するセラミック材料としては、アルミナ、又はアルミナとシリカの混合物の焼成物が好適に使用される。カソード電極2はライン状であり、ライン幅及びラインピッチはFEDの仕様で決定される。例えば、対角が5インチ、画素数が320×240ドットのFED(モノクロ)のラインピッチは300μm程度である。カソード電極2はニッケル、コバルト、鉄、または、それらの合金で形成する。カソード電極2の配線抵抗の設計上、カソード電極2の表面にのみこれらの金属触媒を用いてよい。

【0023】次に、図3(b)に示すように、ゲート絶縁層3にゲート電極5を貼り合わせる。ゲート電極5の材料としては、電子源4を選択的にカソード電極2の表面に形成可能な材料であって、例えばモリブデンを使用する。また、この時、ゲート電極5の直下のゲート絶縁層3を一部除去することが望ましい。これは、支持基板20、1、カソード電極2、ゲート絶縁層3、及びゲート電極5を貼り合わせた後、ゲート電極5の開口部を形成し、ゲート電極5をエッチングマスクとして、ゲート絶縁層3を一部エッチング除去しても形成可能である。しかし、アルミナの粒径が影響してエッチング面が荒れてしまうことがある。そこで本実施の形態においては、ゲート電極5の開口部をエッチングにより形成するのではなく、ゲート絶縁層3で形成した第2ホール15bの径よりも大きい径の開口部8aを形成したゲート絶縁補助層8をゲート電極5の下層に貼り合わせている。このように、ホール15の上部の口径、すなわち第1ホール15a及び開口部8aを第1ホール15bの口径よりも大きくする理由は、電子源4とゲート電極5との短絡防止のためである。

【0024】最後に、図3(c)に示すように、電子源4をホール15の底部に選択成長させる。電子源4としては、カーボンナノチューブ、グラファイト、ダイアモンド、ダイヤモンドライカーボン、アモルファスカーボン等の炭素材料が動作真空度の低減及び耐イオン衝撃性の点で好ましい。本実施の形態においては、ニッケルをコートしたカソード電極2上に選択成長した。原料ガスは、プロピレンガスを用い、成長温度は800~900°C程度にすると、ニッケル表面にカーボンナノチューブが成長し、ゲート電極5上には成長しなかった。カーボンナノチューブの成長温度は、プラズマアシストすると500~600°C程度まで低減可能である。

【0025】以上のように、本実施の形態では、支持基板1、カソード電極2、ゲート絶縁層3、及びゲート電極5をそれぞれ貼り合わせることで、冷陰極Aを形成したが、従来のパネルプロセスのように、支持基板1にカソード電極2をスクリーン印刷し、ゲート絶縁層3を堆

積した後、ゲート電極2をスクリーン印刷し、最後にホール15を形成するようにしてもよい。

【0026】第2の実施の形態

第1の実施の形態においては、電子源4とゲート電極5の短絡防止を第2ホール15bよりも大きな口径の開口部8aを有するゲート絶縁補助層8を設けることで解決しているが、第2の実施の形態においては、ホール底部のカソード電極2の形状を最適化することで解決する。以下、図4により、第2の実施の形態の冷陰極の製造方法を説明する。

【0027】まず、図4(a)において、支持基板1と、電子源4を配設する位置に凹形状(ゲート開口部5aからみた場合は下に凸形状)2aに加工したカソード電極2と、ホール15を形成したゲート絶縁層3とを貼り合わせる。なお、カソード電極2を凹形状2aにする加工方法は、結晶面に依存した異方性エッティング、テーパーエッティング等任意の手段で行われる。

【0028】次に、図4(b)において、ゲート開口部5aを形成したゲート電極5を貼り合わせる。なお、第1の実施の形態と同様、支持基板1、カソード電極2、ゲート絶縁層3、及びゲート電極5を貼り合わせた後、ゲート開口部5a及びホール15を形成し、凹形状2aのカソード電極2を形成してもよい。

【0029】最後に、図4(c)に示すように、電子源4をホール15の底部に選択成長させる。第1の実施の形態で説明したように、ニッケル存在下、CVD法でカーボンナノチューブを成長させると、カーボンナノチューブはカソード電極2の面に対して垂直方向に成長し、その成長終点部分がホール15の中心部で交わる。なお、カーボンナノチューブの成長量を制御し、ホール15の中心部で交わらない構成にしてもよく、このようにすると、電子源4とゲート電極5との短絡防止効果が向上する。

【0030】第1の実施の形態と同様に、従来のパネルプロセスで用いられるスクリーン印刷、薄膜の堆積、エッティング等の技術を用いても、本実施の形態で説明した冷陰極の製造は可能である。

【0031】第3の実施の形態

第3の実施の形態は、0.1μm～0.5μmのゲート開口口径を有するホールに電子源を集積し、このような微小ホールを複数集積して、一つの電子放出領域(例えば、FEDであれば、画素)を形成するものである。このように、電子源が集積された微小ホールを複数集積して、画素を形成することにより、ホール内の電位を均一にでき、画素内の発光輝度ムラを低減可能となる。以下、図5により、第2の実施の形態の冷陰極の製造方法を説明する。

【0032】まず、図5(a)において、支持基板1、カソード電極2、ゲート絶縁層3、及びゲート電極5を貼り合わせる。引き続き、イオンリソグラフィー法を用

いたイオン9照射により微細孔(0.1μm～0.5μm程度)を形成する。現在のシリコン半導体プロセスを参照すると、フォトリソグラフィー法では厳しい領域である。本実施の形態ではAr⁺を2～6MeVに加速し、10⁸～10¹⁰/cm²程度のイオン9を照射した。イオン照射された部分には、ダメージ層が形成されている。

【0033】次に、図5(b)において、イオンリソグラフィー法で形成されたダメージ層をウエットエッティングすることにより、微細孔10を形成する。この微細孔10はゲート電極5及びゲート絶縁層3を貫通し、カソード電極2まで達し、その直径は0.2μm程度であった。このようなイオンリソグラフィー法に関しては、例えば特開平9-544900号公報に開示されている。

【0034】最後に、図5(c)において、微細孔10内にカーボンナノチューブを選択的に成長させる。得られたカーボンチューブの外径は30nm程度であり、直径が0.2μm程度のホール内に40～50個程度のカーボンナノチューブからなる電子源4が形成できた。

【0035】第1及び第2の実施の形態と同様に、従来のパネルプロセスで用いられるスクリーン印刷、薄膜の堆積、エッティング等の技術を用いても、本実施の形態で説明した冷陰極の製造は可能である。

【0036】第4の実施の形態

第4の実施の形態は、第3の実施の形態で説明した微細孔よりも更に微細な0.1μm以下のゲート開口径を有する微細孔に電子源を集積し、このような微細孔を複数集積して、1つの電界放出領域(FEDであれば、画素)を形成する。このように、電子源が集積された微細孔を複数集積して、画素を形成することにより、画素内の発光輝度ムラを低減可能にすると共に、微細加工技術を不要とするものである。

【0037】まず、図6(a)において、支持基板1にカソード電極2、第2ホール15bを形成したゲート絶縁層3、及び第1ホール15aを形成したゲート電極5を貼り合わせる。後述のリフトオフの形成を考慮すると、本実施の形態においては、支持基板1にカソード電極2、ゲート絶縁層3、ゲート電極5を堆積し、フォトリソグラフィーとエッティングで第2ホール15bを形成することが望ましい。引き続き、指向性の強い堆積方法、例えばコリメーションスパッタ法で陽極酸化可能な材料を堆積する。本実施形態においては、図6(a)のように、従来からよく知られているアルミニウム11を陽極酸化可能な材料として用いた。

【0038】次に、図6(b)において、ゲート電極5上のアルミニウム11を除去し、第2ホール15b内部にのみアルミニウムを残してこれを陽極酸化すると、アルミナで構成される陽極酸化皮膜12が形成される。なお、このようなホール内部にのみアルミニウムを残すためには、ゲート電極5上にのみリフトオフ層を形成する

ことが望ましい。リフトオフ層としては、レジスト等のように、ゲート電極5、ゲート絶縁層3、及びカソード電極2に対してエッティング選択比の高い材料であればよい。アルミニウムの陽極酸化は広く知られた技術であり、本実施の形態においては、硫酸溶液中で電圧を印加した。

【0039】アルミニウム11を陽極酸化すると、図6 (b) に示すように、アルミナで構成される陽極酸化皮膜12が形成されると共に、微細孔12aが形成される。微細孔12aの直径は0.05μm程度であった。アルミニウム11は、すべて陽極酸化することが好ましく、陽極酸化後、陽極酸化と逆バイアスを印加し、陽極酸化の際のバリア層を除去する。

【0040】最後に、図6 (c) において、微細孔12a内に電子源4を選択成長する。第1、第2、及び第3の実施の形態と同様に、電子源4として、カーボンナノチューブを用いた。このようにすると、0.05μm程度の直径の微細孔12aにカーボンナノチューブが2～5個程度選択成長した。

【0041】本実施の形態の冷陰極の製造方法によれば、微細孔12aの直径を0.02μm～0.03μm程度に微細化することが可能であり、1つの微細孔に1つのカーボンナノチューブを形成することも可能である。

【0042】第5の実施の形態

第5の実施の形態は、ホールに形成した電子源の付着を強力にするためのバインディング層を設けるものであり、このような構造を設けることにより、電子源がプロセス過程、デバイス動作過程で剥離して発生するダストを防止し、冷陰極の製造歩留り、寿命が向上する。

【0043】まず、図7 (a) に示すように、支持基板1、カソード電極2、バインディング層13、ゲート絶縁層3、及びゲート電極5を貼り合わせる。第1～第3の実施の形態と同様に、あらかじめホール15a、15bを形成した層を貼り合わせても、貼り合わせた後にホール15a、15bを形成しても構わない。また、イオノリソグラフィ法で0.1μm～0.5μm程度の微細孔を形成してもよい。

【0044】バインディング層13としては、真空封止の際のピーク温度400～600℃程度の融点を有する材料が好ましく、本実施の形態においては、融点が550℃程度のアルミニウムを用いた。また、バインディング層13は、第2ホール15a近傍に配設し、電子源4の成長の際の加熱で溶融しないように、ゲート絶縁層3で保護される。図7 (a) のように、電子源4のカソード電極2上への選択成長は、前述と同様に、ニッケル存在下、CVD法で行った。次に、電子源4の近傍のゲート絶縁層3aをエッティング除去し、図7 (b) に示すように、第2ホール15b内にバインディング層13の露出部分13aを形成する。

【0045】最後に、図7 (c) において、600℃程度の加熱を行うと、バインディング層13が溶融し、この溶融部分13bがホール15b内に流れ込み、電子源4の底部を覆う。このようにすると、電子源4は半田で電子部品を固着するように、溶融部分13bでカソード電極2に強く固定化される。

【0046】第6の実施の形態

第6の実施の形態は、ホールに形成した電子源の付着を強力にするためのバインディング層として、アルミニウムの陽極酸化皮膜を用いるもので、単純な冷陰極構造及び簡便な製造方法で、電子源がプロセス過程、デバイス動作過程で剥離して発生するダストを防止し、冷陰極の製造歩留り、寿命が向上する。

【0047】まず、図8 (a) において、第4の実施の形態と同様に、支持基板1にカソード電極2、ゲート絶縁層3、ゲート電極5を堆積し、フォトリソグラフィとエッティングでホール15 (第1ホール15a、第2ホール15b) を形成する。引き続き、指向性の強い堆積方法、例えばコリメーションスパッタ法でアルミニウム18を堆積する。図8 (a) に示すように、このアルミニウム18は第4の実施の形態のアルミニウム層11より膜厚の薄い (例えば5μm以下) ものが使用される。

【0048】次に、図8 (b) に示すように、ゲート電極5上のアルミニウム18を剥離し、陽極酸化する。陽極酸化して得られた陽極酸化皮膜 (アルミナ) 19の膜厚は1μm以下が好ましく、第4の実施の形態と同様に、0.05μm程度の微細孔19aが形成される。続いて、陽極酸化と逆バイアスを印加し、陽極酸化の際のバリア層を除去する。

【0049】最後に、図8 (c) において、微細孔19a内に電子源4を選択成長する。微細孔19a内に成長した電子源4は、ゲート電極5の近傍に達するまで成長することが好ましく、本実施の形態では10μm程度成長させた。

【0050】実験結果によれば、1つの微細孔19a内に1つのカーボンナノチューブを形成した場合が最も効果的であったが、第5の実施の形態で説明したような陽極酸化未酸化のアルミニウムをメルト (溶融) すれば、1つの微細孔内に複数のカーボンナノチューブがあつても十分な効果が得られた。

【0051】

【発明の効果】以上、詳述したように、本発明の冷陰極によれば、セラミック材料からなる支持基板とゲート絶縁層の間にカソード電極を埋め込み、ゲート絶縁層上にゲート電極を設けた積層構造としたので、高温プロセスで冷陰極構造にダメージを与えることなく電界放出電子源の形成が可能となると共に、積層構造でカソード電極とゲート電極を交差配設できるため、XYアドレス可能な冷陰極を構成でき、しかもホールを形成してその内部に電子源を選択成長するようにしたので、電子源とゲ

ト電極の短絡を防止する構造とすることができます、冷陰極の信頼性を向上できる。

【0052】また、本発明の冷陰極の製造方法によれば、セラミック材料と金属材料からなる積層構造にホールを加工し、ホールに電子源を形成するので、高温プロセスで冷陰極構造にダメージを与えることなく、かつ電子源とゲート電極の短絡を防止した電子源の形成が可能となり、信頼性の高い冷陰極の製造が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の冷陰極の斜視図で 10 ある。

【図2】第1の実施の形態の冷陰極の分解斜視図である。

【図3】第1の実施の形態の工程断面図である。

【図4】第2の実施の形態の工程断面図である。

【図5】第3の実施の形態の工程断面図である。

【図6】第4の実施の形態の工程断面図である。

【図7】第5の実施の形態の工程断面図である。

【図8】第6の実施の形態の工程断面図である。

* 【図9】従来のカーボンナノチューブを用いた冷陰極の断面図である。

【符号の説明】

1 支持基板

2 カソード電極

2 a 凹形状

3 ゲート絶縁層

4 電子源

5 ゲート電極

8 ゲート絶縁補助層

10、12 a、19 a、微細孔

11 アルミニウム層

12 陽極酸化皮膜

13 バインディング層

13 b 溶融部分

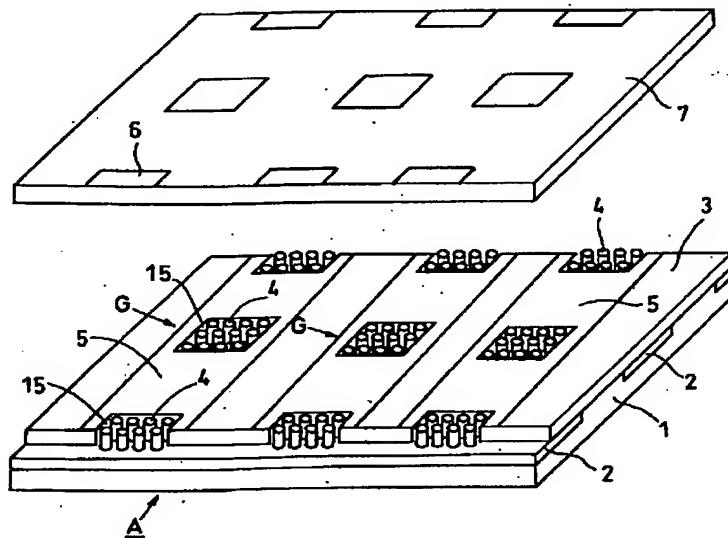
15 ホール

15 a 第1ホール

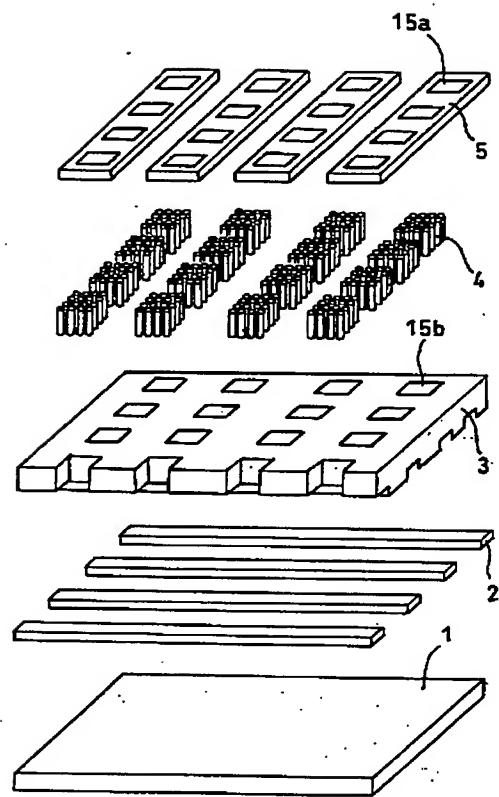
15 b 第2ホール

*

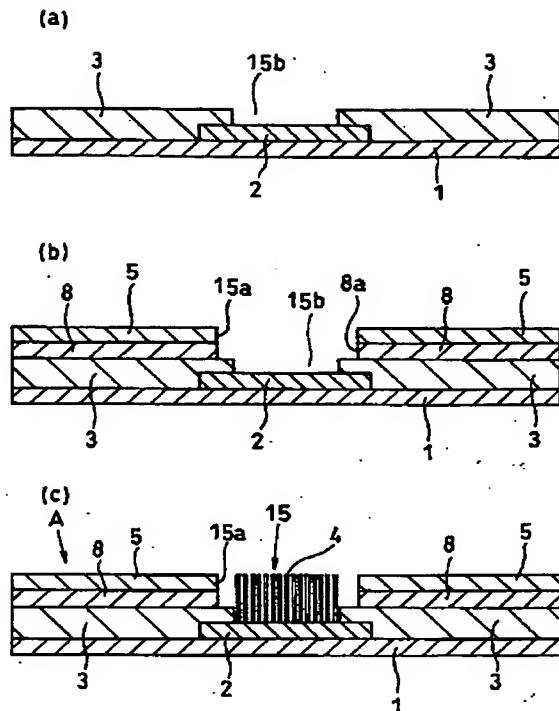
【図1】



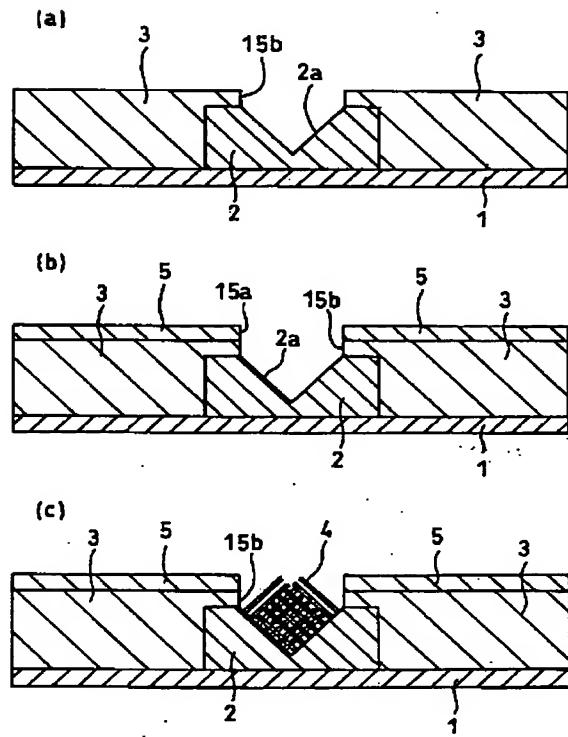
【図2】



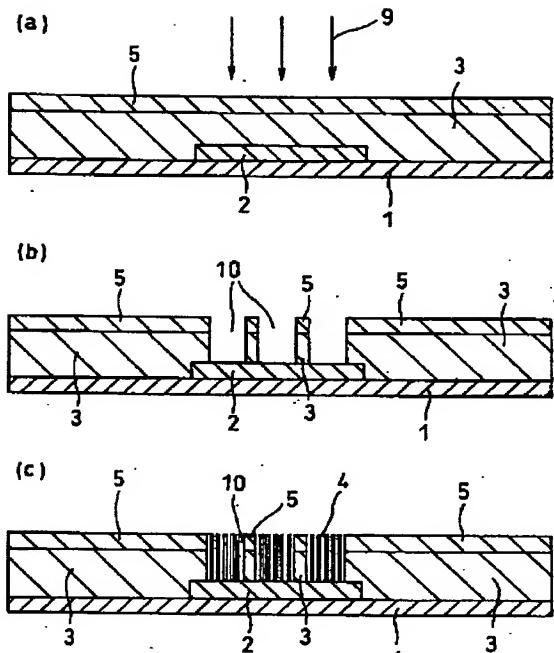
【図3】



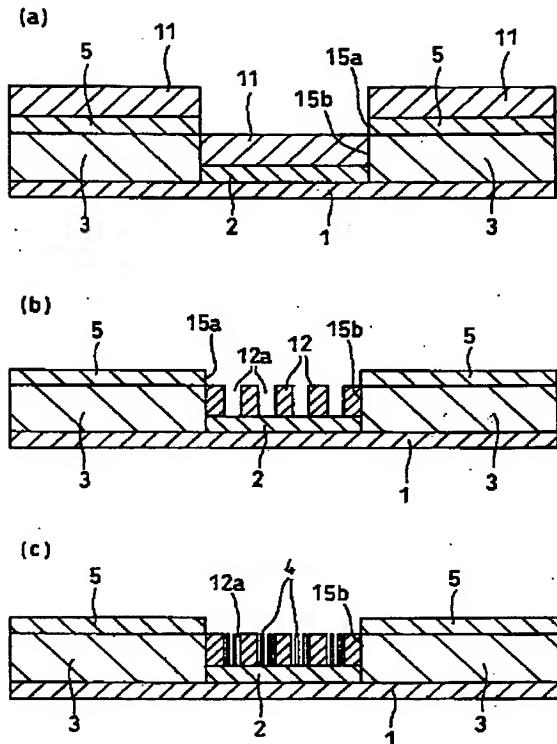
【図4】



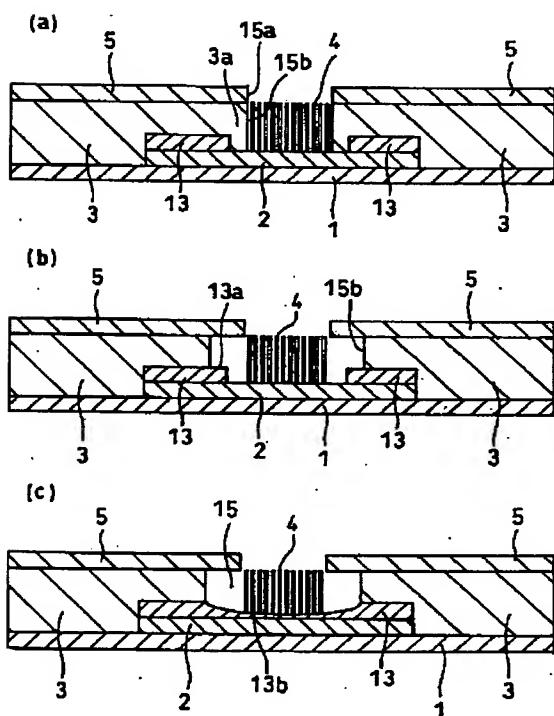
【図5】



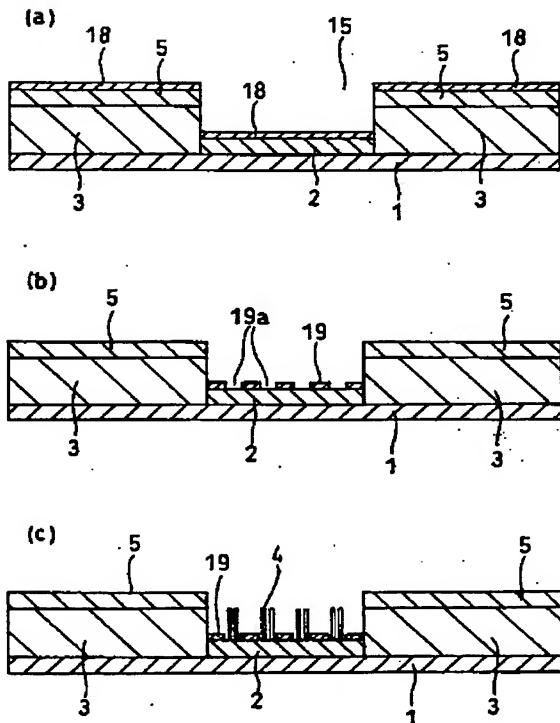
【図6】



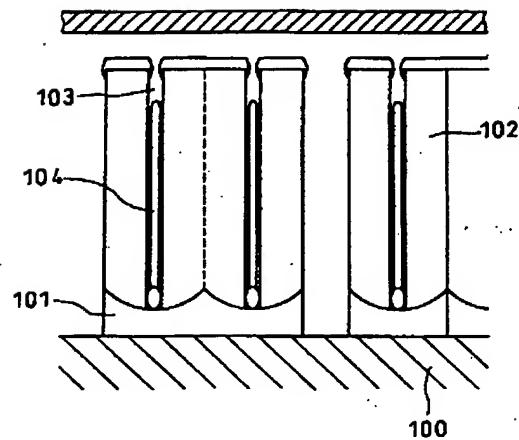
【図7】



【図8】



【図9】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-143601

(43)Date of publication of application : 25.05.2001

(51)Int.Cl. H01J 1/304

H01J 9/02

H01J 29/04

H01J 31/12

(21)Application number : 11-320030 (71)Applicant : SHARP CORP

(22)Date of filing : 10.11.1999 (72)Inventor : OKI HIROSHI
URAYAMA MASAO

(54) COLD CATHODE AND METHOD OF FABRICATING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly reliable cold cathode comprising a heatproof and XY-addressable substrate and a method of fabricating the same.

SOLUTION: Cathodic electrodes 2 are interposed between a base plate 1 and gate insulation layer 3 made of ceramics material, over which gate electrodes 5 are laid. Holes 15 are formed through the gate electrodes 5 and gate insulation layer 3 over the cathodic electrodes 2, filled with electron sources 4 formed on the cathodic electrodes 2.

LEGAL STATUS [Date of request for examination] 01.02.2002
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3597740
[Date of registration] 17.09.2004
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

* NOTICES *

JP0 and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Cold cathode characterized by filling up with the electron source which the cathode electrode was embedded between the support substrate which consists of a ceramic ingredient, and the gate insulating layer, the gate electrode was arranged on said gate insulating layer, and the hole which carried out opening on said cathode electrode was formed to said gate electrode and said gate insulating layer, and was formed in the interior of this hole at said cathode electrode.

[Claim 2] Cold cathode according to claim 1 characterized by making the gate insulation auxiliary layer intervene between said gate electrodes and said gate insulating layers.

[Claim 3] Cold cathode according to claim 1 or 2 to which said gate insulating layer consists of multilayer ceramic ingredients more than two-layer, and the diameter of a hole of the gate insulating layer of the maximum upper layer is characterized by being formed more greatly than the diameter of a hole of a lower layer gate insulating layer.

[Claim 4] claim 1 characterized by the part of the pars basilaris ossis occipitalis of said

hole of said cathode electrode being a concave configuration thru/or 3 -- cold cathode given in either.

[Claim 5] claim 1 characterized by preparing the binding ingredient between said electron sources and said cathode electrodes, or 4 -- cold cathode given in either.

[Claim 6] claims 1 and 3 which said hole is the micropore in the anodic oxide film of aluminum, and are characterized by forming said electron source in this micropore, or 4 -- cold cathode given in either.

[Claim 7] claims 1, 2, and 5 to which it is characterized by being held by the micropore in said anodic oxide film while said electron source projects from said anodic oxide film and reaches to near [said] the gate electrode, or 6 -- cold cathode given in either.

[Claim 8] claims 1 and 5 characterized by said electron source being the carbon material which consists of diamond[a carbon nanotube, graphite, a diamond, and]-like carbon, amorphous carbon, or such mixture thru/or 7 -- cold cathode given in either.

[Claim 9] claim 1 to which said ceramic ingredient is characterized by consisting of mixture of an alumina or an alumina, and a silica, or 3 -- cold cathode given in either.

[Claim 10] claims 1 and 4 to which said cathode electrode is characterized by covering, or intermingling and constituting metal catalysts, such as nickel, cobalt, and iron, or 5 -- cold cathode given in either.

[Claim 11] The manufacture approach of the cold cathode characterized by including the process which sticks a gate insulating layer on both sides of a cathode electrode on a support substrate, the process which forms a gate electrode on said gate insulating layer, the process which forms the hole penetrated on said cathode electrode to a gate insulating layer and a gate electrode, and the process which forms an electron source in said cathode electrode of the field of said hole.

[Claim 12] The manufacture approach of the cold cathode according to claim 11 characterized by including the process which forms an aluminum layer in said gate electrode and the cathode electrode of the field of said hole, the process which forms the anode plate coat which anodizes said aluminum layer and has micropore, the process which removes the barrier layer of said anodic oxidation coatings, and the process which forms said electron source in said pore alternatively.

[Claim 13] claim 11 characterized by including the process which forms a concave configuration in the cathode electrode of the field of said hole, and the process which forms an electron source in the part of said concave configuration alternatively at the process which forms the hole penetrated on said cathode electrode, or 12 -- the manufacture approach of cold cathode given in either.

[Claim 14] claim 11 characterized by forming a binding layer on said cathode electrode,

carrying out melt of this binding layer at the process which sticks a gate insulating layer on both sides of a cathode electrode on a support substrate, and including a wrap process for the pars basilaris ossis occipitalis of said electron source thru/or 13 -- the manufacture approach of cold cathode given in either.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the cold cathode which has the electron source which consists of a carbon material formed on the ceramic substrate, and its manufacture approach.

[0002]

[Description of the Prior Art] Big heat energy is given like a cathode-ray tube, and thermionic emission is not caused, but research and development of the cold cathode which emits a cold electron are briskly performed in both sides of a device side and an ingredient side by impressing a heavy current community. In the ingredient side, the carbon nanotube (it is hereafter written as CNT suitably) with which the graphite layer rolled in the shape of a cylinder became nest-like is discovered (S. 354 Iijima, Nature, 56.1991), and the application as various electron devices is expected in recent years.

[0003] For example, as a device using such CNT, the thing of structure as shown in drawing 9 is known (refer to JP,10-12124,A). A thing given in this official report has the anodic oxide film 102 of an alumina through the aluminum layer 101 on a glass substrate 100, into the pore 103 of this anodic oxide film 102, is carrying out selective growth of the CNT with a CVD method, and forms the field emission electron source 104 of a triode configuration.

[0004]

[Problem(s) to be Solved by the Invention] However, the field emission electron source of a triode configuration as shown in drawing 9 had the problem that the address of the electron source 104 could not be carried out by XY matrix. Moreover, there was a problem of the growth temperature when carrying out selective growth of the CNT with a CVD method being higher than the melting point of aluminum, and giving a damage to CNT.

[0005] Furthermore, since only one was formed into the pore 103 of an anodic oxide film,

the electron source 104 which consists of CNT also had the problem of connecting with a gate electrode too hastily easily between electron sources in existence of dust. This invention is made in view of such a problem, and aims at offering the reliable cold cathode using the ceramic substrate of high thermal resistance in which XY address is possible, and its manufacture approach.

[0006]

[Means for Solving the Problem] Cold cathode of this invention is characterized by filling up with the electron source which the cathode electrode was embedded between the support substrate which consists of a ceramic ingredient, and the gate insulating layer, the gate electrode was arranged on said gate insulating layer, and the hole which carried out opening on said cathode electrode was formed to said gate electrode and said gate insulating layer, and was formed in the interior of this hole at said cathode electrode.

[0007] By making the gate insulation auxiliary layer intervene between said gate electrodes and said gate insulating layers, the positive laminated structure of a ceramic ingredient and a metallic material is obtained. Moreover, it consists of multilayer ceramic ingredients more than said gate insulating layer or two-layer, and the short circuit of an electron source and a gate electrode can be prevented by the diameter of a hole of the gate insulating layer of the maximum upper layer being formed more greatly than the diameter of a hole of a lower layer gate insulating layer.

[0008] Moreover, the short circuit of an electron source and a gate electrode can be prevented because the part of the pars basilaris ossis occipitalis of said hole of said cathode electrode is a concave configuration. Moreover, by the binding ingredient being prepared between said electron sources and said cathode electrodes, an electron source prevents the dust exfoliated and generated and improves a life.

[0009] Moreover, said hole is the micropore in the anodic oxide film of aluminum, by said electron source being formed in this micropore, while a micro-processing process becomes unnecessary, an electron source is accumulated into micropore and brightness nonuniformity can be reduced.

[0010] moreover, cold cathode structure with it -- realizable -- moreover, the simple manufacture approach -- becoming -- the manufacture yield and a device life -- improving -- ** -- the cold cathode accumulated with high density has been offered. [simple by being held by the micropore in said anodic oxide film while said electron source projects from said anodic oxide film and reaches to near / said / the gate electrode]

[0011] Moreover, the cold cathode which is excellent in the proposal of a degree of

vacuum of operation and ion bombardment-proof nature has been offered because said electron source is the carbon material which consists of diamond[a carbon nanotube graphite, a diamond, and]-like carbon, amorphous carbon, or such mixture.

[0012] Moreover, the cold cathode which does not give a damage to device structure at the growth temperature of an electron source has been offered with said ceramic ingredient consisting of mixture of an alumina or an alumina, and a silica. Moreover, the cold cathode which can grow has been alternatively offered for the electron source with it being covered or intermingled and said cathode electrode being constituted in metal catalysts, such as nickel, cobalt, and iron.

[0013] The manufacture approach of the cold cathode of this invention is characterized by including the process which sticks a gate insulating layer on both sides of a cathode electrode on a support substrate, the process which forms a gate electrode on said gate insulating layer, the process which forms the hole penetrated on said cathode electrode to a gate insulating layer and a gate electrode, and the process which forms an electron source in said cathode electrode of the field of said hole.

[0014] Moreover, the process which forms an aluminum layer in said gate electrode and the cathode electrode of the field of said hole, By including the process which forms the anode plate coat which anodizes said aluminum layer and has pore, the process which removes the barrier layer of said anodic oxidation coatings, and the process which forms said electron source in said pore alternatively By using the anode plate coat of aluminum, the formation of a hole diameter which is the pixel which micropore 0.1 micrometers or less accumulated is attained.

[0015] Moreover, short circuit prevention of an electron source and a gate electrode is attained by forming the cathode electrode of a concave configuration by including the process which forms a concave configuration in the cathode electrode of the field of said hole, and the process which forms an electron source in the part of said concave configuration alternatively. Moreover, adhesion of an electron source can be made powerful by forming a binding layer on said cathode electrode, carrying out melt of this binding layer, and including a wrap process for the pars basilaris ossis occipitalis of said electron source.

[0016]

[Embodiment of the Invention] Hereafter, the gestalt of suitable operation of this invention is explained to a detail, referring to an accompanying drawing.

Gestalt drawing 1 of the 1st operation is the perspective view of the cold cathode of the gestalt of operation of the 1st of the cold cathode of this invention, and drawing 2 is the decomposition perspective view of drawing 1 . The cold cathode of the gestalt of this

operation is the example applied to the field emission display (henceforth FED). Such a basic configuration of FED is the same as that of the back light of a cold cathode lamp and a liquid crystal device, and a fluorescent indicator tube. That is, a cold cathode lamp does not have to carry out the address of the electron emission field (pixel), and is good at a plate with simple gate electrode and cathode electrode. Moreover, while the back light and FED of a liquid crystal device need to divide and carry out the address of a gate electrode and the cathode electrode to Rhine, FED is arranged so that a gate electrode and a cathode electrode may be intersected perpendicularly. Furthermore, a fluorescent indicator tube arranges the gate electrode and cathode electrode corresponding to a segment. The cold cathode of this invention is available to all these electron devices.

[0017] In drawing 1 and drawing 2 the cold cathode A of the gestalt of this operation The support substrate 1 which consists of a ceramic ingredient and directs a face shield from the tooth-back side of a back plate, While insulating electrically the cathode electrode 2, and the cathode electrode 2 and the gate electrode 5 for impressing a sequential-scanning electrical potential difference from a scan side driver It has the laminated structure which carried out the laminating of the gate insulating layer 3 for forming a hole 15, the electron source 4 for carrying out field emission, and the gate electrode 5 for impressing the image data for level Rhine from a data side driver one by one.

[0018] The Rhine-like cathode electrode (wiring) 2 is embedded between said support substrates 1 and gate insulating layers 3. Controlling [consequently] the controller which controls the drive of FED so that a scan is perpendicularly performed to a scan side driver, a scan side driver impresses a sequential-scanning electrical potential difference to each Rhine of the cathode electrode 2.

[0019] On the other hand, the gate electrode 5 is arranged in the shape of Rhine so that it may cross with the gate insulating layer 3 on the gate insulating layer 3, and a controller impresses the image data for level Rhine outputted to a data side from a driver to Rhine of the gate electrode 5. The electron emission field G, i.e., a pixel, is established in the location where the cathode electrode of two lines and the gate electrode of five lines cross, and the address is carried out on XY matrix. In a pixel, one or two holes 15 or more are formed, and the hole 15 consists of 1st hole 15a which is opening of the gate electrode 5, and the 2nd hole which penetrates the gate insulating layer 3 and reaches the cathode electrode 2 (refer to drawing 2). Moreover, the interior of a hole 15 is piled up by a large number, and the electron source (array) 4 electrically connected with the cathode electrode 2 emits an electron to it by tunneling from the

electron source 4 by which XY address was carried out.

[0020] Moreover, it is possible in providing the focusing electrode for converging the emission electron in FED of the gestalt of this operation if needed. That is, the laminating of the layer insulation layer is carried out on the gate electrode 5, and the laminating of the focusing electrode is carried out on the layer insulation layer. At this time, a layer insulation layer and a focusing electrode form a desired hole or a desired slit according to a device design.

[0021] Basic actuation of FED of the gestalt of this operation constituted from such a laminated structure was checked experimentally. In this experiment, the luminescence reinforcement of the fluorescent substance 6 put on the transparent electrode (anode electrode) 7 of a face shield as shown in drawing 1 using a DC power supply simple was observed. 5 inches and the number of pixels made FED of 320x240 (QVGR) dot as an experiment, and the vertical angle checked basic actuation. the cathode electrode 2 -- grounding -- the anode electrode 7 -- 5kV -- impressing -- the gate electrode 5 -- 20·30 -- it impressed about V. Field emission of the electron source 4 of the pixel by which XY address was carried out with the cathode electrode 2 and the gate electrode 5 was carried out, and it made the fluorescent substance on the anode electrode 7 emit light. moreover, the gate electrode 5 -- the place which impressed the electrical potential difference to all (condition of all whites) -- an emission current -- 5 · 10 mA/cm² it obtains a grade -- having -- luminescence brightness -- 10000 cd/m² It was extent.

[0022] Next, drawing 3 explains the production process of the cold cathode of the gestalt of implementation of the above 1st. First, as shown in drawing 3 (a), the support substrate 1, the cathode electrode (wiring) 2, and the gate insulating layer 3 are stuck for example, by the electrostatic pasting-up method. 2nd hole 15b of a square shape is beforehand formed in the gate insulating layer 3. The ceramic ingredient with which the quality of the material of the support substrate 1 and the gate insulating layer 3 has the thermal resistance of about 500-800 degrees C is used. As a ceramic ingredient which has the thermal resistance of about 500-800 degrees C, the baking object of the mixture of an alumina or an alumina, and a silica is used suitably. The cathode electrode 2 is Rhine-like and the Rhine width of face and the Rhine pitch are determined by the specification of FED. For example, the Rhine pitch of FED (monochrome) whose vertical angle is 5 inches and whose number of pixels is 320x240 dots is about 300 micrometers. The cathode electrode 2 is formed with nickel, cobalt, iron, or those alloys. These metal catalysts may be used only for the front face of the cathode electrode 2 on the design of wiring resistance of the cathode electrode 2.

[0023] Next, as shown in drawing 3 (b), the gate electrode 5 is stuck on the gate

insulating layer 3. As an ingredient of the gate electrode 5, it is the ingredient which can be formed in the front face of the cathode electrode 2 alternatively about an electron source 4, for example, molybdenum is used. Moreover, it is desirable at this time to remove the gate insulating layer [directly under] 3 of the gate electrode 5 in part. After sticking the support substrate 1, the cathode electrode 2, the gate insulating layer 3, and the gate electrode 5, this forms opening of the gate electrode 5, and even if it carries out etching removal of the gate insulating layer 3 in part by using the gate electrode 5 as an etching mask, it can form it. However, the particle size of an alumina may influence and it may be ruined. Then, in the gestalt of this operation, the gate insulation auxiliary layer 8 in which opening 8a of a larger path than the path of 2nd hole 15b which did not form opening of the gate electrode 5 by etching, but was formed by the gate insulating layer 3 was formed is stuck on the lower layer of the gate electrode 5. Thus, the reason for making upside aperture, i.e., 1st hole, 15a and opening 8a of a hole 15 larger than the aperture of 1st hole 15b is for short circuit prevention with an electron source 4 and the gate electrode 5.

[0024] Finally, as shown in drawing 3 (c), selective growth of the electron source 4 is carried out to the pars basilaris ossis occipitalis of a hole 15. As an electron source 4, carbon materials, such as diamond[a carbon nanotube, graphite, a diamond and]-like carbon and amorphous carbon, are desirable in respect of reduction of a degree of vacuum of operation, and ion bombardment-proof nature. In the gestalt of this operation, selective growth was carried out on the cathode electrode 2 which carried out the coat of the nickel. When material gas made growth temperature about 800-900 degrees C using propylene gas, the carbon nanotube grew up to be a nickel front face, and it did not grow on the gate electrode 5. The growth temperature of a carbon nanotube can be reduced to about 500-600 degrees C, if plasma assistance is carried out.

[0025] As mentioned above, after screen-stenciling the cathode electrode 2 to the support substrate 1 and depositing the gate insulating layer 3 like the conventional panel process, the gate electrode 2 is screen-stenciled and you may make it form a hole 15 finally with the gestalt of this operation, although cold cathode A was formed by sticking the support substrate 1, the cathode electrode 2, the gate insulating layer 3, and the gate electrode 5, respectively.

[0026] In the gestalt of operation of the gestalt 1st of the 2nd operation, although solved by forming the gate insulation auxiliary layer 8 which has opening 8a of bigger aperture than 2nd hole 15b for short circuit prevention of an electron source 4 and the gate electrode 5, in the gestalt of the 2nd operation, it solves by optimizing the configuration of the cathode electrode 2 of a hole pars basilaris ossis occipitalis. Hereafter, drawing 4

explains the manufacture approach of the cold cathode of the gestalt the 2nd operation. [0027] First, in drawing 4 (a), the support substrate 1, the cathode electrode 2 which processed into concave configuration (it is convex configuration when it sees from gate opening 5a) 2a the location which arranges an electron source 4, and the gate insulating layer 3 in which the hole 15 was formed are stuck. In addition, the processing approach which sets the cathode electrode 2 to concave configuration 2a is performed by the means of arbitration, such as anisotropic etching, taper etching, etc. depending on the crystal face.

[0028] Next, in drawing 4 (b), the gate electrode 5 in which gate opening 5a was formed is stuck. In addition, like the gestalt of the 1st operation, after sticking the support substrate 1, the cathode electrode 2, the gate insulating layer 3, and the gate electrode 5, gate opening 5a and a hole 15 may be formed, and the cathode electrode 2 of concave configuration 2a may be formed.

[0029] Finally, as shown in drawing 4 (c), selective growth of the electron source 4 is carried out to the pars basilaris ossis occipitalis of a hole 15. Under nickel existence, as the gestalt of the 1st operation explained, when a carbon nanotube is grown up with a CVD method, a carbon nanotube grows perpendicularly to the field of the cathode electrode 2, and the growth terminal point part crosses at the core of a hole 15. In addition, if the amount of growth of a carbon nanotube may be controlled, you may make it the configuration which does not cross at the core of a hole 15 and it does in this way, the short circuit prevention effectiveness of an electron source 4 and the gate electrode 5 will improve.

[0030] Even if it uses techniques, such as the screen-stencil and the deposition of a thin film which are used in the conventional panel process, and etching, like the gestalt of the 1st operation, manufacture of the cold cathode explained with the gestalt of this operation is possible.

[0031] The gestalt of operation of the gestalt 3rd of the 3rd operation accumulates an electron source on the hole which has a 0.1 micrometers - 0.5 micrometers diameter of gate opening, accumulates two or more such minute holes, and forms one electron emission field (for example, if it is FED pixel). Thus, by accumulating two or more minute holes on which the electron source was accumulated, and forming a pixel, potential in a hole is made to homogeneity and reduction of the luminescence brightness nonuniformity in a pixel is attained. Hereafter, drawing 5 explains the manufacture approach of the cold cathode of the gestalt the 2nd operation.

[0032] First, in drawing 5 (a), the support substrate 1, the cathode electrode 2, the gate insulating layer 3, and the gate electrode 5 are stuck. Then, micropore (0.1 micrometers

about 0.5 micrometers) is formed by the ion 9 exposure using the ion lithography method. When a current silicon semi-conductor process is referred to, by the photolithography method, it is a severe field. With the gestalt of this operation, Ar++ is accelerated to 2.6MeV, and it is 108.1010/cm². The ion 9 of extent was irradiated. The damage layer is formed in the part by which ion irradiation was carried out.

[0033] Next, in drawing 5 (b), micropore 10 is formed by carrying out wet etching of the damage layer formed by the ion lithography method. This micropore 10 penetrated the gate electrode 5 and the gate insulating layer 3, even the cathode electrode 2 attained it, and that diameter was about 0.2 micrometers. About such an ion lithography method, it is indicated by JP,9-544900,A, for example.

[0034] Finally, in drawing 5 (c), a carbon nanotube is alternatively grown up into micropore 10. The outer diameter of the obtained carbon tube is about 30nm, and has formed the electron source 4 which consists of about 40-50 carbon nanotubes in the hole whose diameter is about 0.2 micrometers.

[0035] Even if it uses techniques, such as the screen-stencil and the deposition of a thin film which are used in the conventional panel process, and etching, like the gestalt of the 1st and the 2nd operation, manufacture of the cold cathode explained with the gestalt of this operation is possible.

[0036] The gestalt of operation of gestalt **** 4 of the 4th operation accumulates an electron source on the micropore which has a diameter of gate opening 0.1 micrometers or less still more detailed than the micropore explained with the gestalt of the 3rd operation, accumulates two or more such micropores, and forms one field emission field (if it is FED pixel). Thus, two or more micropores on which the electron source was accumulated are accumulated, and while enabling reduction of the luminescence brightness nonuniformity in a pixel by forming a pixel, ultra-fine processing technology is made unnecessary.

[0037] First, in drawing 6 (a), the cathode electrode 2, the gate insulating layer 3 in which 2nd hole 15b was formed, and the gate electrode 5 in which 1st hole 15a was formed are stuck on the support substrate 1. When formation of the below-mentioned lift off is taken into consideration, in the gestalt of this operation, it is desirable to deposit the cathode electrode 2, the gate insulating layer 3, and the gate electrode 5 on the support substrate 1, and to form 2nd hole 15b by photolithography and etching. Then, the ingredient which can be anodized, the directive powerful deposition approach, for example, collimation spatter method, is deposited. In this operation gestalt, it used as an ingredient which can anodize the aluminum 11 well known from the former like drawing 6 (a).

[0038] Next, in drawing 6 (b), the aluminum 11 on the gate electrode 5 is removed, and if it leaves aluminum only to the interior of 2nd hole 15b and this is anodized, the anodic oxide film 12 which consists of aluminas will be formed. In addition, in order to leave aluminum only to the interior of such a hole, it is desirable to form a lift-off layer only on the gate electrode 5. As a lift-off layer, what is necessary is just the high ingredient of etch selectivity like a resist to the gate electrode 5, the gate insulating layer 3, and the cathode electrode 2. Anodic oxidation of aluminum is the technique known widely, and impressed the electrical potential difference in the sulfuric-acid solution in the gestalt of this operation.

[0039] While the anodic oxide film 12 which consists of aluminas will be formed as shown in drawing 6 (b) if aluminum 11 is anodized, micropore 12a is formed. The diameter of micropore 12a was about 0.05 micrometers. As for aluminum 11, it is desirable to anodize all, anodization and a reverse bias are impressed after anodization, and the barrier layer in the case of anodization is removed.

[0040] Finally, in drawing 6 (c), selective growth of the electron source 4 is carried out into micropore 12a. The carbon nanotube was used as an electron source 4 like the 1st, the 2nd, and the gestalt of the 3rd operation. When done in this way, about 2-5 carbon nanotubes carried out selective growth to micropore 12a with a diameter of about 0.05 micrometers.

[0041] According to the manufacture approach of the cold cathode of the gestalt this operation, it is possible to make the diameter of micropore 12a detailed to 0.02 micrometers - about 0.03 micrometers, and it is also possible to form one carbon nanotube in one micropore.

[0042] By preparing the binding layer for making powerful adhesion of the electron source formed in the hole, and establishing such structure, the gestalt of operation of the gestalt 5th of the 5th operation prevents the dust which an electron source exfoliates and generates in a process process and a device actuation process, and the manufacture yield of cold cathode and its life improve.

[0043] First, as shown in drawing 7 (a), the support substrate 1, the cathode electrode 2, the binding layer 13, the gate insulating layer 3, and the gate electrode 5 are stuck. It does not matter even if it forms Holes 15a and 15b after sticking, even if it sticks the layer which formed Holes 15a and 15b beforehand like the gestalt of the 1st - the 3rd operation. Moreover, 0.1 micrometers - about 0.5 micrometers micropore may be formed by the ion lithography method.

[0044] The ingredient which states in the case of a vacuum lock and has the melting point with a 1 KU temperature of about 400-600 degrees C as a binding layer 13 was

desirable, and the aluminum whose melting point is about 550 degrees C was used in the gestalt of this operation. Moreover, the binding layer 13 is arranged near the 2nd hole 15a, and it is protected by the gate insulating layer 3 so that it may not fuse with heating in the case of growth of an electron source 4. Like drawing 7 (a), selective growth to the cathode electrode 2 top of an electron source 4 was performed with the CVD method under nickel existence like the above-mentioned. Next, etching removal of the gate insulating layer 3a near the electron source 4 is carried out, and as shown in drawing 7 (b), exposed partial 13a of the binding layer 13 is formed in 2nd hole 15b.

[0045] Finally, when heating of about 600 degrees C is performed in drawing 7 (c), the binding layer 13 fuses, this fusion part 13b flows in in hole 15b, and it is a wrap about the pars basilaris ossis occipitalis of an electron source 4. When it does in this way, an electron source 4 is strongly fixed in the cathode electrode 2 by fusion part 13b so that electronic parts may be fixed with solder.

[0046] Using the anodic oxide film of aluminum as a binding layer for making powerful adhesion of the electron source formed in the hole, the gestalten of operation of the gestalt 6th of the 6th operation are simple cold cathode structure and the simple manufacture approach, they prevent the dust which an electron source exfoliates and generates in a process process and a device actuation process, and the manufacture yield of cold cathode and its life improve.

[0047] First, in drawing 8 (a), like the gestalt of the 4th operation, the cathode electrode 2, the gate insulating layer 3, and the gate electrode 5 are deposited on the support substrate 1, and a hole 15 (1st hole 15a, 2nd hole 15b) is formed by the photolithography and etching. Then, aluminum 18 is deposited, the directive powerful deposition approach, for example, collimation spatter method. As shown in drawing 8 (a), as for this aluminum 18, what has thickness thinner (for example, 5 micrometers or less) than the aluminum layer 11 of the gestalt of the 4th operation is used.

[0048] Next, as shown in drawing 8 (b), it exfoliates and the aluminum 18 on the gate electrode 5 is anodized. The thickness of the anodic oxide film (alumina) 19 anodized and obtained has desirable 1 micrometer or less, and about 0.05 micrometers micropore 19a is formed like the gestalt of the 4th operation. Then, anodization and a reverse bias are impressed and the barrier layer in the case of anodization is removed.

[0049] Finally, in drawing 8 (c), selective growth of the electron source 4 is carried out into micropore 19a. As for the electron source 4 which grew into micropore 19a, it was desirable to have grown up until it reaches near the gate electrode 5, and it grew up it about 10 micrometers with the gestalt of this operation.

[0050] According to the experimental result, the case where one carbon nanotube is

formed in [of one] micropore 19a was the most effective, but when carrying out melt (melting) of the anodization non-oxidized aluminum which was explained with the gestalt of the 5th operation, sufficient effectiveness was acquired even if two or more carbon nanotubes were in one micropore.

[0051]

[Effect of the Invention] As mentioned above, since it considered as the laminated structure which embedded the cathode electrode between the support substrate which consists of a ceramic ingredient, and the gate insulating layer, and prepared the gate electrode on the gate insulating layer according to the cold cathode of this invention as explained in full detail While formation of a field emission electron source is attained without giving a damage to cold cathode structure in an elevated-temperature process Since the crossover arrangement of a cathode electrode and the gate electrode was able to be carried out in a laminated structure and it was [the cold cathode in which XY address is possible can be constituted, moreover a hole is formed and] made to carry out selective growth of the electron source to the interior It can consider as an electron source and the structure of preventing the short circuit of a gate electrode, and the dependability of cold cathode can be improved.

[0052] Moreover, without giving a damage to cold cathode structure in an elevated-temperature process, since according to the manufacture approach of the cold cathode of this invention a hole is processed into the laminated structure which consists of a ceramic ingredient and a metallic material and an electron source is formed in a hole, formation of an electron source and the electron source which prevented the short circuit of a gate electrode is attained, and manufacture of reliable cold cathode is attained.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the perspective view of the cold cathode of the gestalt of operation of the 1st of this invention.

[Drawing 2] It is the decomposition perspective view of the cold cathode of the gestalt of the 1st operation.

[Drawing 3] It is the process sectional view of the gestalt of the 1st operation.

[Drawing 4] It is the process sectional view of the gestalt of the 2nd operation.

[Drawing 5] It is the process sectional view of the gestalt of the 3rd operation.

[Drawing 6] It is the process sectional view of the gestalt of the 4th operation.

[Drawing 7] It is the process sectional view of the gestalt of the 5th operation.

[Drawing 8] It is the process sectional view of the gestalt of the 6th operation.

[Drawing 9] It is the sectional view of cold cathode using the conventional force 1 BONNANO tube.

[Description of Notations]

1 Support Substrate

2 Cathode Electrode

2a Concave configuration

3 Gate Insulating Layer

4 Electron Source

5 Gate Electrode

8 Gate Insulation Auxiliary Layer

10, 12a, 19a, micropore

11 Aluminum Layer

12 Anodic Oxide Film

13 Binding Layer

13b Fusion part

15 Hole

15a The 1st hole

15b The 2nd hole